

(19)

JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **63050071 A**

(43) Date of publication of application: **02.03.88**

(51) Int. Cl

H01L 29/78

(21) Application number: **61194483**

(22) Date of filing: **19.08.86**

(71) Applicant: **MATSUSHITA ELECTRONICS
CORP**

(72) Inventor: **KAWASHIMA ISAMU
KITAMURA KAZUYOSHI**

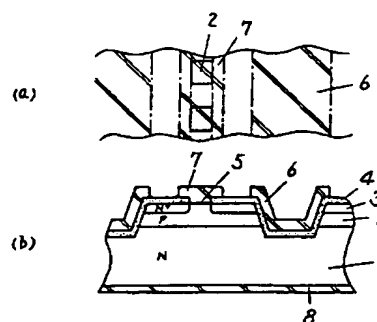
(54) **LONGITUDINAL TYPE MOS FIELD EFFECT
TRANSISTOR**

(57) Abstract:

PURPOSE: To make a pattern pitch extremely miniaturized, increase integration density, and realize miniaturization of a chip and make reduction of an ON-resistance possible, by making a short-circuit between a source region and a diffusion region for a channel with a source electrode.

CONSTITUTION: On a semiconductor substrate 1 which is to serve as a drain region, a P-type region 2 for a channel is formed, and then a mesh-shaped N⁺ type region 3 for a source is formed in a plane in the manner in which a region 2 appears here and there on the surface. Further, an U-shaped groove is formed, and a gate oxide film 4 is formed. In order to make a short-circuit between the regions 2 and 3 with a source electrode, a window 5 for forming an electrode with the same width as that of the mesh of the N⁺ type region for a mesh-shaped source is formed. After that, an electrode 6 for a gate, an electrode 7 for a source, and an electrode 8 for a drain are formed.

COPYRIGHT: (C)1988,JPO&Japio



⑫ 公開特許公報(A)

昭63-50071

⑤ Int.Cl.⁴
H 01 L 29/78識別記号 庁内整理番号
3 2 1 V-8422-5F

④ 公開 昭和63年(1988)3月2日

審査請求 未請求 発明の数 1 (全2頁)

⑭ 発明の名称 縦型MOS電界効果トランジスタ

⑮ 特 願 昭61-194483

⑯ 出 願 昭61(1986)8月19日

⑰ 発 明 者 川 島 勇 大阪府門真市大字門真1006番地 松下電子工業株式会社内
⑱ 発 明 者 北 村 一 芳 大阪府門真市大字門真1006番地 松下電子工業株式会社内
⑲ 出 願 人 松下電子工業株式会社 大阪府門真市大字門真1006番地
⑳ 代 理 人 弁理士 中尾 敏男 外1名

明 細 書

1、発明の名称

縦型MOS電界効果トランジスタ

2、特許請求の範囲

チャンネル用拡散領域内に、ソース領域を網目状に形成し、かつ同ソース領域と前記チャンネル用拡散領域とをソース電極によって短絡したことを特徴とする縦型MOS電界効果トランジスタ。

3、発明の詳細な説明

産業上の利用分野

本発明は、集積度の高い、かつ効率のよい縦型MOS電界効果トランジスタに関するものである。

従来の技術

第2図(a)(b)に従来の縦型MOS電界効果トランジスタ(以下、パワーMOSFETと略す。)の平面図及び断面図を示した。第2図に示すように、ドレイン領域となる半導体基板1にチャンネル用P型領域2を形成し、さらにソース用N⁺型領域3をストライプ状に形成する。さらにU溝を

形成し、ゲート酸化膜4を生成する。そして、ソース電極で、チャンネル用P型領域2とソース用N⁺型領域3を短絡するため電極形成用窓5をソース用N⁺型領域3より広く形成し、そのうちゲート用電極6、ソース用電極7及びドレイン用電極8を形成する。

発明が解決しようとする問題点

パワーMOSFETは、ソース電極において、ソース領域とチャンネル領域を同電位に保つため、双方を短絡する必要がある。又、マスク合せのずれを考慮し、従来は電極形成用窓形成をソース領域よりかなり広くする必要があり、集積化には限界が生じていた。本発明は、この問題点を解決するため、ソース領域の形状を改善したものである。

問題点を解決するための手段

本発明は、チャンネル用拡散領域内に、ソース領域を網目状に形成し、かつ同ソース領域と前記チャンネル用拡散領域とをソース電極によって短絡したものである。

作用

ソース領域を網目状にすることにより、網目状寸法幅と同じ幅以下で電極形成用の窓形成が可能であり、このため集積度の向上が得られる。また集積度向上により、チャンネル抵抗が低減され、オン時の抵抗の低減、増幅率の増大等の性能向上が可能となる。

実施例

第1図(a)(b)に本発明の実施例として、Nチャンネル型パワーMOSFETの平面図及び断面図を示した。第1図に示すように、ドレイン領域となる半導体基板1に、チャンネル用P型領域2を形成し、そののちにソース用 N^+ 型領域3を、平面的に、随所にチャンネル用拡散領域2が表面に現れるように、網目状に形成する。さらにU溝を形成し、ゲート酸化膜4を形成する。そしてソース電極において、チャンネル用P型領域2と網目状のソース用 N^+ 型領域3とを短絡するため、電極形成用の窓5を、網目状のソース用 N^+ 型領域の網目の幅と同じ幅で形成し、そののちに、ゲート用

電極6、ソース用電極7及びドレイン用電極8を形成する。このようにして得られたパワーMOSFETは、従来例でパターンピッチが 33μ あったものを、 25μ にすることができ、集積度が向上される。このためチャンネル抵抗が低減され、チップサイズで従来の75%になる。

発明の効果

以上実施例で説明したとおり、ソース用 N^+ 型領域を網目状にすることにより、パターンピッチを顕著に縮小することができ、集積度の向上によりチップ縮小やオン抵抗の低減が可能になった。

4、図面の簡単な説明

第1図(a)は本発明によるパワーMOSFETの平面図、第1図(b)は本発明によるパワーMOSFETの断面図、第2図(a)は従来のパワーMOSFETの平面図、第2図(b)は従来のパワーMOSFETの断面図である。

1……ドレイン領域となるN型基板、2……チャンネル用P型領域、3……ソース用 N^+ 型領域、4……ゲート酸化膜、5……電極形成用の

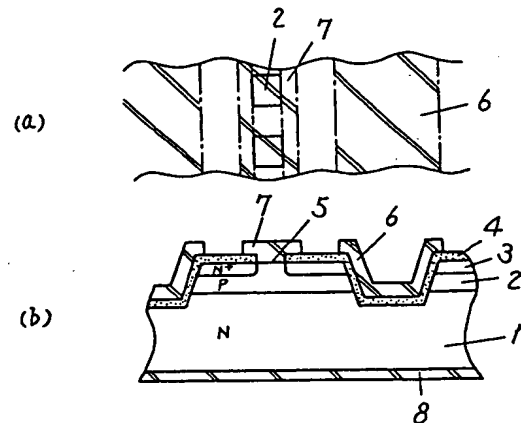
- 3 -

窓、6……ゲート用電極、7……ソース用電極、8……ドレイン用電極。

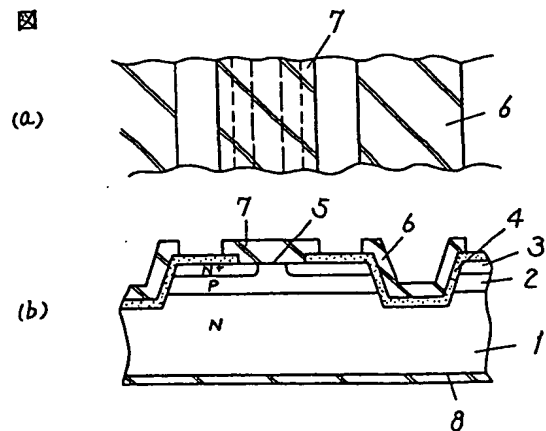
代理人の氏名 弁理士 中尾敏男 ほか1名

- 4 -

第1図



第2図



- 5 -